

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Objects of the Invention]

(Field of the Invention)

This invention relates to the test method of semiconductor integrated circuit equipment which can perform easily the performance test of the semiconductor integrated circuit equipment which carries out high-speed operation.

(Prior art)

There is some semiconductor integrated circuit equipment (IC) which operates in a 2GHz - about 3GHz RF field. When performing the performance test of such an IC, at the former, the measuring device which operates at high speed than IC examined is prepared, and the usual method examines directly using this measuring device.

However, when developing IC which operates by the higher frequency domain (for example, when the measuring device which operates at high speed is constituted from what [existing] and required IC is developed), the measuring device which can examine such an IC does not exist really. Moreover, there is un-arranging -- measurement with next to impossible such a measuring device measuring correctly very at an expensive price, though the high-speed measuring device exists takes a long time extremely. For this reason, there is a limitation in measuring high-speed IC directly.

(Trouble which invention tends to solve)

In performing the performance test of such high-speed semiconductor integrated circuit equipment directly using a measuring device, there are various restrictions, and there is a problem that this cannot be performed easily, in the former.

This invention is made in consideration of the above situations, and the purpose is in offering the test method of semiconductor integrated circuit equipment which can perform comparatively easily the performance test of high-speed semiconductor integrated circuit equipment not using an expensive measuring device.

[Elements of the Invention]

(The means and operation for solving a trouble)

The test method of the semiconductor integrated circuit equipment of this invention operates semiconductor integrated circuit equipment rather than an actual speed at a low speed, performs a performance test, makes it operate only about what the test result at this time satisfies at high speed, and is made to perform the whole quality judging by checking operation of the circuit for a high-speed operation check established in the integrated circuit device on the occasion of this high-speed examination.

And it is made to use a ring oscillator circuit and the inverter chain circuit which consisted of inverters by which multi-stage connection was made as a circuit for a high-speed operation check. Since frequency fully serves as a low signal from a frequency of operation, these output signals can fully be measured by a certain measuring device now.

(Example)

Hereafter, one example of this invention is explained with reference to a drawing.

In case the test method of this invention performs the performance test of IC which operates in a 2GHz - about 3GHz RF field, it is first operated on about frequency later enough than the usual working speed, for example, 1MHz, and performs the functional check at this time by the measuring device of the low speed which exists from the former. And it is made to operate in the 2GHz - about 3GHz usual RF field only about what was judged to be an excellent article by this low-speed examination. About IC in which this performance test is performed here, beforehand, as shown in the pattern plan of a view 1, apart from the circuit of a main part, the circuit 10 for a high-speed operation check is formed in the free space of IC chip. The inverter chain circuit from which multi-stage connection was made and which two or more inverters 20 consisted of as this circuit 10 for a high-speed operation check as shown, for example in the circuit diagram of a view 2, the ring oscillator circuit the tail end output of two or more inverters 30 by which multi-stage connection was made as shown in the circuit diagram of a view 3 was made to return to the first rank are used. When an inverter chain circuit is used as this circuit 10 for a high-speed operation check, signal supply to this circuit is performed from the electrode pad 11 in the 1st view, and a signal output is performed from the electrode pad 12.

And in the case of the high-speed examination after the above-mentioned low-speed examination, performance tests, such as a property check of this circuit 10 for a high-speed operation check, are performed.

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平8-4104

(24) (44)公告日 平成8年(1996)1月17日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/08		F 7514-4M		
G01R 31/28				
H01L 21/822				
			H01L 27/04	T
			G01R 31/28	Z
			発明の数1(全 3 頁) 最終頁に続く	

(21)出願番号	特願昭62-7843
(22)出願日	昭和62年(1987) 1 月16日
(85)公開番号	特開昭63-177437
(43)公開日	昭和63年(1988) 7 月21日
審判番号	平5-16506

(71)出願人	989999898 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(72)発明者	岩▲崎▼ 博 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
(74)代理人	弁理士 鈴江 武彦 (外2名)
審判の合議体	審判長 松村 貞男 審判官 相田 義明 審判官 及川 幸喜
(56)参考文献	特開 昭63-155736 (J P, A)

(54)【発明の名称】 半導体集積回路装置の試験方法

1

【特許請求の範囲】

【請求項1】チップの空きスペースに、直列接続された複数個のインパータからなる高速動作確認用回路を本体回路と同一の製造条件の下で形成し、予め上記本体回路の実際の動作速度と上記高速動作確認用回路内のインパータにおける遅延時間との相関を求めておき、動作試験を行なう場合に、上記本体回路を実際の動作速度よりも低速で動作させて試験を行ない、この低速動作試験結果が満足するものについてのみ上記高速動作確認用回路を上記本体回路の実際の動作速度で動作させて上記インパータにおける遅延時間を測定し、この測定値から上記相関関係に基づいて良否判定を行うようにしたことを特徴とする半導体集積回路装置の試験方法。

【請求項2】前記高速動作確認用回路がリング発振回路である特許請求の範囲第1項に記載の半導体集積回路装

2

置の試験方法。

【請求項3】前記高速動作確認用回路がインパータチェーン回路である特許請求の範囲第1項に記載の半導体集積回路装置の試験方法。

【請求項4】前記高速動作確認用回路内のインパータにおける遅延時間の測定は、この高速動作確認用回路の出力信号が取出される電極パッドにプローブカードを直接に接触させて行われる特許請求の範囲第1項に記載の半導体集積回路装置の試験方法。

10 【請求項5】前記高速動作確認用回路内のインパータにおける遅延時間の測定は、半導体集積回路装置が外回路に収納された後に、高速動作確認用回路の出力信号が取出される電極パッドと接続された外部端子を介して行われる特許請求の範囲第1項に記載の半導体集積回路装置の試験方法。

(2)

特公平8-4104

3

4

【発明の詳細な説明】

【発明の目的】

【産業上の利用分野】

この発明は、高速動作する半導体集積回路装置の動作試験を容易に行なうことができる半導体集積回路装置の試験方法に関する。

【従来の技術】

半導体集積回路装置（IC）の中には例えば2GHz～3GHz程度の高周波領域で動作するものがある。このようなICの動作試験を行なう場合、従来では、試験されるICよりも高速に動作する測定装置を用意し、この測定装置を用いて直接に試験を行なうのが通常の方法である。

ところが、より高い周波数領域で動作するICを開発するような場合、例えば、現存するものよりも高速で動作する測定装置を構成する上で必要なICを開発する場合、このようなICを試験することができる測定装置は存在していない。また、仮に高速の測定装置が存在していたとしても、このような測定装置は非常に高価であり、かつ正確に測定することが不可能に近い、測定に極めて長時間を要する、等の不都合がある。このため、高速ICの測定を直接行なうことには限界がある。

【発明が解決しようとする問題点】

このような高速の半導体集積回路装置の動作試験を測定装置を用いて直接行なう場合には種々の制約があり、従来ではこれを簡単に行なうことができないという問題がある。

この発明は上記のような事情を考慮してなされたものであり、その目的は、高速の半導体集積回路装置の動作試験を高価な測定装置を用いず、比較的簡単に行なうことができる半導体集積回路装置の試験方法を提供することにある。

【発明の構成】

【問題点を解決するための手段と作用】

この発明の半導体集積回路装置の試験方法は、半導体集積回路装置を実際の速度よりも低速で動作させて動作試験を行ない、このときの試験結果が満足するものについてのみ高速で動作させ、この高速試験の際に集積回路装置に設けられた高速動作確認用回路の動作を確認することにより全体の良否判定を行なうようにしている。

しかも高速動作確認用回路としてリング発振回路や、多段接続されたインバータで構成されたインバータチェーン回路を用いるようにしている。これらの出力信号は動作周波数よりも十分に周波数が低い信号となるので、現在ある測定装置で十分に測定が可能である。

【実施例】

以下、図面を参照してこの発明の一実施例を説明する。

この発明の試験方法は、例えば2GHz～3GHz程度の高周波領域で動作するICの動作試験を行なうに当り、まず通常の動作速度よりも十分に遅い周波数、例えば1MHz程度

で動作させ、このときの機能確認を従来から存在している低速の測定装置で行なう。そして、この低速試験で良品と判断されたものについてのみ、通常の2GHz～3GHz程度の高周波領域で動作させる。ここでこの動作試験が行われるICについては予め、第1図のパターン平面図に示すように、ICチップの空きスペースに本体回路とは別に高速動作確認用回路10を形成しておく。この高速動作確認用回路10としては、例えば第2図の回路図に示すように複数のインバータ20が多段接続されて構成されたインバータチェーン回路や、第3図の回路図に示すように多段接続された複数のインバータ30の終段出力を初段に帰還するようにしたリング発振回路などが使用される。この高速動作確認用回路10としてインバータチェーン回路が使用される場合、この回路に対する信号供給は第1図中の電極パッド11から行われ、信号出力は電極パッド12から行われる。

そして、上記低速試験の後の高速試験の際にはこの高速動作確認用回路10の特性確認等の動作試験が行われる。インバータチェーン回路やリング発振回路などの高速動作確認用回路10は、インバータ1段当りの動作速度が高速でも全体で見ればその動作速度は遅くなる。例えばインバータを100段接続すれば、パッド12からの出力信号はパッド11からの入力信号の1/100となり、この場合にも高速動作確認用回路10の動作測定を従来から存在している低速の測定装置で行なうことができる。

ここで予め測定を行なうICチップ内の本体回路の実際の動作速度Tと、上記高速動作確認用回路10のインバータ1段当りの遅延時間tdとの相関を第4図に示すように求めておき、実際に測定された値からそのICの良否判定を行なう。すなわち、高速試験の際に測定されたインバータ1段当りの遅延時間tdがそのICのある動作速度Tdに関するインバータ1段当りの遅延時間の最低値tdlと最高値tdhとの範囲内にあれば、この高速動作確認用回路10の特性は正常である。このとき、高速動作確認用回路10以外の回路の特性も正常であると見なすことができる。これは試験される半導体集積回路装置の製造歩留まりが十分に確保されているということが前提であり、これが満足されているならば、高速動作確認用回路と本体回路とは同一の製造条件（回路定数等）で製造されており、その一部回路である高速動作確認用回路が高速動作試験をパスするならば同一の製造条件で製造された同一集積回路装置内の本体回路についても同じように高速動作試験をパスするはずであるという考え方に基づいている。従って、上記最低値tdlをICの良否判定基準として選別することが可能である。

なお、上記高速試験はICがウエハ状態のときには電極パッド12に測定装置のプロブカードを直接に接触させて行なうことができ、またウエハから各ICチップに分割されて外周部に収納された後でも電極パッドと接続された外部端子を介して行なうことができる。

(3)

特公平8-4104

5

6

【発明の効果】

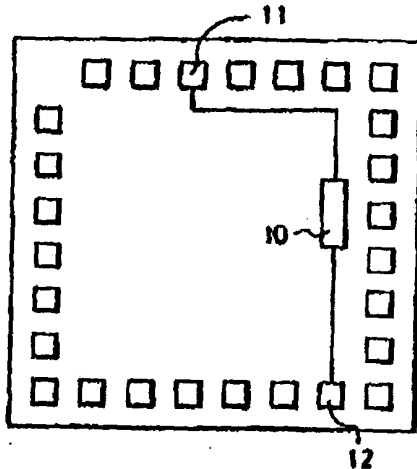
以上説明したようにこの発明によれば、高速の半導体集積回路装置の動作試験を高価な測定装置を用いず、比較的簡単に行なうことができる半導体集積回路装置の試験方法を提供することができる。

【図面の簡単な説明】

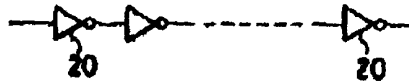
第1図はこの発明の方法で用いられるICのパターン平面図、第2図及び第3図はそれぞれ上記IC上の一部の回路を示す回路図、第4図は上記実施例を説明するための相関図である。

10……高速動作確認用回路、11,12……電極パッド。

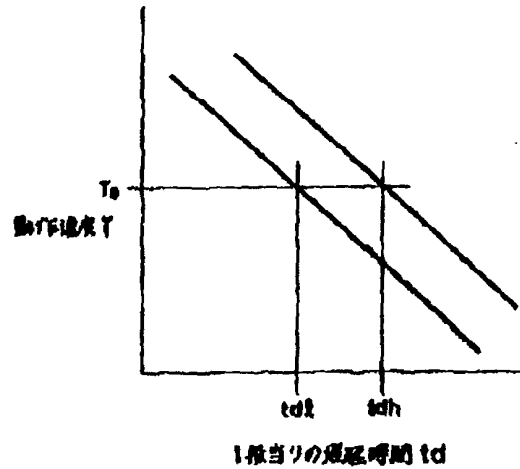
【第1図】



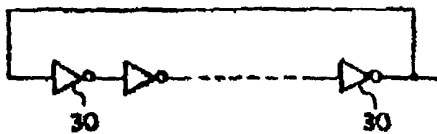
【第2図】



【第4図】



【第3図】



フロントページの続き

(51) Int. Cl.⁶

H01L 27/04

識別記号

庁内整理番号

F I

技術表示箇所